

FLESHNER & KIM  
(703) 766-3701  
ATTY DOCK - YHK-0111

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

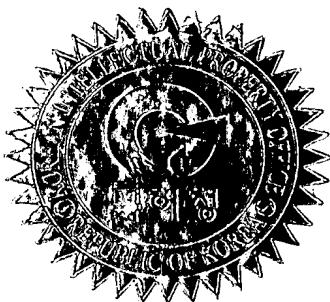
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0023989  
Application Number

3094

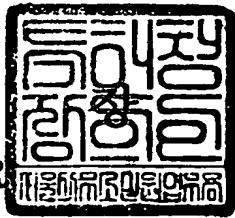
출원년월일 : 2003년 04월 16일  
Date of Application APR 16, 2003

출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 07 월 10 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.04.16
【발명의 명칭】	플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법
【발명의 영문명칭】	ENERGY RECOVERY APPARATUS AND METHOD OF PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	조장환
【성명의 영문표기】	CHO, Jang Hwan
【주민등록번호】	670820-1256324
【우편번호】	730-780
【주소】	경상북도 구미시 형곡2동 210-7 삼우아파트 922동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤원식
【성명의 영문표기】	YOON, Won Sik
【주민등록번호】	740630-1117215
【우편번호】	621-917
【주소】	경상남도 김해시 어방동 458-1 우방그린피아 301동 403호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성호
【성명의 영문표기】	KANG, Seong Ho
【주민등록번호】	681022-1812321

【우편번호】 702-865  
【주소】 대구광역시 북구 태전동 442번지 우방3차아파트 105동 903호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
김영호 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 15 면 15,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 16 항 621,000 원  
【합계】 665,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 스위치 소자에 의한 전류의 도통손실을 최소화시키고 회로구성을 간소화 시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것이다.

본 발명은 플라즈마 디스플레이 패널과, 하나의 제 1 스위치 소자를 경유하여 상기 패널에 서스테인 전압을 공급하는 전원과, 상기 패널과의 공진에 의해 상기 패널에 저장된 에너지를 회수하고 회수된 에너지를 상기 패널에 공급하는 인덕터와, 상기 인덕터와 상기 패널 사이의 전류패스를 형성하기 위한 제 2 스위치 소자를 구비하는 것을 특징으로 한다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법{ENERGY RECOVERY APPARATUS AND METHOD OF PLASMA DISPLAY PANEL}

**【도면의 간단한 설명】**

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널을 나타내는 사시도.

도 2는 종래의 플라즈마 디스플레이 패널의 에너지 회수장치를 나타내는 회로도.

도 3은 도 2에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 4는 종래의 다른 플라즈마 디스플레이 패널의 에너지 회수장치를 나타내는 회로도.

도 5는 도 4에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 6a는 도 5에 도시된 A' 기간에서의 스위치 소자의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 6b는 도 5에 도시된 B 기간에서의 스위치 소자의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 6c는 도 5에 도시된 C 기간에서의 스위치 소자의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 6d는 도 5에 도시된 D 기간에서의 스위치 소자의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 6e는 도 5에 도시된 A 기간에서의 스위치 소자의 온/오프 상태를 나타내는 회로도.

도 7은 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치를 나타내는 회로도.

도 8은 도 7에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 9는 도 8에 도시된 T0 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 10은 도 8에 도시된 T1 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 11은 도 8에 도시된 T2 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 12는 도 8에 도시된 T3 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 플라즈마 디스플레이 패널 2 : 충전 회로부

3 : 클램프부 4, 5, 6, 7 : 스위치

8 : 인덕터 9 : 저항

12, 13 : FET 10 : 상부기판

12Y : 제 1전극 12Z : 제 2전극

14, 22 : 유전체층 16 : 보호막

18 : 하부기판 20X : 어드레스전극

24 : 격벽 26 : 형광체층

30, 32 : 에너지 회수장치 40 : 패널 커패시터

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<27> 본 발명은 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것으로, 특히 스위치 소자에 의한 전류의 도통손실을 최소화시키고 회로구성을 간소화시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것이다.

<28> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플

레이 패널(Plasma Display Panel : 이하 "PDP"라 함) 및 일렉트로 루미네센스(Electro-Luminescence : EL) 표시장치 등이 있다.

- <29> 이중 PDP는 기체방전을 이용한 표시소자로서 대형패널의 제작이 용이하다는 장점이 있다. PDP로는 도 1에 도시된 바와 같이 3전극을 구비하고 교류전압에 의해 구동되는 3전극 교류 면방전형 PDP가 대표적이다.
- <30> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 제 1 전극(12Y) 및 제 2 전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.
- <31> 제 1 전극(12Y)과 제 2 전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전층(14)과 보호막(16)이 적층된다. 상부 유전층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.
- <32> 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전층(22) 및 격벽(24)이 형성되며, 하부 유전층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 제 1 전극(12Y) 및 제 2 전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다.

- <33> 형광체(26)는 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하판과 격벽 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.
- <34> 이러한 3전극 교류 면방전형 PDP는 다수개의 서브필드로 분리되어 구동되고, 각 서브필드기간에는 비디오 데이터의 가중치에 비례시킨 횟수의 발광이 진행됨으로써 계조표시가 행해지게 된다. 서브필드는 다시 초기화 기간, 어드레스 기간, 서스테인 기간 및 소거기간으로 분할되어 구동된다.
- <35> 여기서, 초기화 기간은 방전셀에 균일한 벽전하를 형성하는 기간이고, 어드레스기간은 비디오데이터의 논리값에 따라 선택적인 어드레스방전이 발생하게 하는 기간이며, 서스테인 기간은 상기 어드레스방전이 발생된 방전셀에서 방전이 유지되게 하는 기간이다. 소거기간은 서스테인 기간에 발생된 서스테인 방전을 소거하는 기간이다.
- <36> 이와 같이 구동되는 교류 면방전 PDP의 어드레스 방전 및 서스테인 방전에는 수백 볼트 이상의 고압이 필요하게 된다. 따라서, 어드레스 방전 및 서스테인 방전에 필요한 구동전력을 최소화하기 위하여 에너지 회수장치가 이용된다. 에너지 회수장치는 제 1 전극(12Y) 및 제 2 전극(12Z) 사이의 전압을 회수하여 다음 방전시의 구동전압으로 회수된 전압을 이용한다.
- <37> 도 2를 참조하면, 'Weber(USP-5081400)'에 의해 제안된 플라즈마 디스플레이 패널의 에너지 회수장치(30, 32)는 패널 커패시터(Cp)를 사이에 두고 서로 대칭적으로 설치된다. 여기서, 패널 커패시터(Cp)는 제 1 전극(Y)과 제 2 전극(Z) 사이에 형성되는 정전용량을 등가적으로 나타낸 것이다. 제 1 에너지 회수장치(30)는 제 1 전극(Y)에 서스

테인 펄스를 공급한다. 제 2 에너지 회수장치(32)는 제 1 에너지 회수장치(30)와 교번 되게 동작하면서 제 2 전극(Z)에 서스테인 펄스를 공급한다.

<38> 종래의 플라즈마 디스플레이 패널의 에너지 회수장치(30, 32)의 구성을 제 1 에너지 회수장치(30)를 참조하여 설명하기로 한다. 제 1 에너지 회수장치(30)는 패널 커패시터(Cp)와 소스 커패시터(Cs) 사이에 접속된 인덕터(L)와, 소스 커패시터(Cs)와 인덕터(L) 사이에 병렬로 접속된 제 1 및 제 3 스위치(S1, S3)와, 패널 커패시터(Cp)와 인덕터(L) 사이에 병렬로 접속된 제 2 및 제 4 스위치(S2, S4)를 구비한다.

<39> 제 2 스위치(S2)는 서스테인 전압원(VS)에 접속되고, 제 4 스위치(S4)는 기저전압원(GND)에 접속된다. 소스 커패시터(Cs)는 서스테인 방전시 패널 커패시터(Cp)에 충전되는 전압을 회수하여 충전함과 아울러 충전된 전압을 패널 커패시터(Cp)에 재공급한다. 이와 같은 소스 커패시터(Cs)에는 서스테인 전압원(Vs)의 절반값에 해당하는 Vs/2의 전압이 충전된다. 인덕터(L)는 패널 커패시터(Cp)와 함께 공진회로를 형성한다. 제 1 내지 제 4 스위치(S1 내지 S4)는 전류의 흐름을 제어한다.

<40> 한편, 제 1 및 제 2 스위치(S1, S2)와 인덕터(L)의 사이에는 각각 설치된 제 5 및 제 6 다이오드(D5, D6)는 전류가 역방향으로 흐르는 것을 방지한다.

<41> 도 3은 제 1 에너지 회수장치 스위치들의 온/오프 타이밍과 패널 커패시터의 출력파형을 나타내는 타이밍도 및 파형도이다.

<42> T1 기간 이전에 패널 커패시터(Cp)에는 0 볼트의 전압이 충전됨과 아울러 소스 커패시터(Cs)에는 Vs/2의 전압이 충전되어 있다고 가정하여 동작과정을 상세히 설명하기로 한다.

<43> T1 기간에는 제 1 스위치(S1)가 턴-온(Turn-on)되어 소스 커패시터(Cs)로부터 제 1 스위치(S1), 인덕터(L) 및 패널 커패시터(Cp)로 이어지는 전류 패스가 형성된다. 전류 패스가 형성되면 소스 커패시터(Cs)에 충전된  $V_s/2$ 의 전압은 패널 커패시터(Cp)로 공급된다. 이때, 인덕터(L)와 패널 커패시터(Cp)가 직렬 공진회로를 형성하기 때문에 패널 커패시터(Cp)에는 소스 커패시터(Cs) 전압의 2배인  $V_s$  전압이 충전된다.

<44> T2 기간에는 제 2스위치(S2)가 턴-온된다. 제 2스위치(S2)가 턴-온되면 서스테인 전압원(Vs)의 전압이 제 1 전극(Y)에 공급된다. 제 1 전극(Y)에 공급되는 서스테인 전압원(Vs)의 전압은 패널 커패시터(Cp)의 전압이 서스테인 전압원(Vs) 이하로 떨어지는 것을 방지하여 서스테인 방전이 정상적으로 일어나도록 한다. 한편, 패널 커패시터(Cp)의 전압은 T1기간에 Vs까지 상승하였기 때문에 서스테인 방전을 일으키기 위해 외부에서 공급해 주는 구동전력은 최소화된다.

<45> T3 기간에는 제 1 스위치(S1)가 턴-오프(Turn-off)된다. 이때, 제 1 전극(Y)은 T3의 기간동안 서스테인 전압원(Vs)의 전압을 유지한다. T4 기간에는 제 2 스위치(S2)가 턴-오프됨과 아울러 제 3 스위치(S3)가 턴-온된다. 제 3 스위치(S3)가 턴-온되면 패널 커패시터(Cp)로부터 인덕터(L) 및 제 3 스위치(S3)를 통해 소스 커패시터(Cs)로 이어지는 전류 패스가 형성되어 패널 커패시터(Cp)에 충전된 전압이 소스 커패시터(Cs)로 회수된다. 이때, 소스 커패시터(Cs)에는  $V_s/2$ 의 전압이 충전된다.

<46> T5 기간에는 제 3 스위치(S3)가 턴-오프됨과 아울러 제 4 스위치(S4)가 턴-온된다. 제 4 스위치(S4)가 턴-온되면 패널 커패시터(Cp)와 기저전압원(GND)간의 전류패스가 형성되어 패널 커패시터(Cp)의 전압이 0볼트로 하강한다. T6 기간에는 T5 상태를 일정 시

간동안 유지한다. 실제로, 제 1 전극(Y) 및 제 2 전극(Z)에 공급되는 교류 구동펄스는 T1 내지 T6 기간이 주기적으로 반복되면서 얻어지게 된다.

<47> 한편, 제 2 에너지 회수장치(32)는 제 1 에너지 회수장치(30)와 교번적으로 동작하면서 패널 커패시터(Cp)에 구동전압을 공급하게 된다. 따라서, 패널 커패시터(Cp)에는 서로 반대 극성을 가지는 서스테인 펄스전압(Vs)이 공급되게 된다. 이와 같이 패널 커패시터(Cp)에 서로 반대 극성을 가지는 서스테인 펄스전압(Vs)이 공급됨으로써 방전셀들에서 서스테인 방전이 일어나게 된다.

<48> 하지만, 이와 같은 종래의 에너지 회수장치(30, 32)들은 제 1 전극(Y) 측에 설치된 제 1 에너지 회수장치(30) 및 제 2 전극(Z) 측에 설치된 제 2 에너지 회수장치(32)가 각각 동작함으로써 많은 회로부품들(스위칭 소자 등)이 필요하게 되고, 이에 따라 제조 비용이 상승되는 문제점이 있다. 아울러, 전류의 패스 상의 다수의 스위치들(다이오드, 스위치소자, 인덕터)의 도통손실로 인하여 많은 소비전력이 소모되게 된다.

<49> 한편, 도 4를 참조하면, 'NEC(USP-5670974)'에 의해 제안된 플라즈마 디스플레이 패널의 에너지 회수장치는 플라즈마 디스플레이 패널(1)의 주사전극과 유지전극 사이에 형성되는 정전용량을 등가적으로 나타내는 패널 커패시터(40)와, 패널 커패시터(Cp)에 병렬로 접속되는 충방전 회로부(2) 및 전압 클램프부(3)를 구비한다. 특히, 충방전 회로부(2)는 상기 패널(1)의 패널 커패시터(40)에 병렬에 접속되고 패널 커패시터(40)의 방전시 발생되는 공진 전류의 역극성에 재충전하는 코일(8)과, 2개의 스위치들(12, 13)을 구비한다. 이 2개의 스위치(12, 13)들은 코일(8)에 대해 쌍방향 스위치를 형성하게 된다. 즉, 패널 커패시터(40)의 일측에는 게이트단자에 공급되는 다른 스위치 구동 입력신호(IN5, IN6) 각각에 의해 제어되는 N채널 FET에 의해 형성된 2개의 스위치들(12,

13) 및 각각의 2개의 스위치들(12, 13)에 직렬 접속되는 역방향 전류 저지용 다이오드(10, 11)가 직렬 접속된다. 또 패널 커패시터(40)의 다른 일측에는 병렬 접속된 코일(8)과 저항(9)의 일단이 접속된다. 이 때, 병렬 접속된 코일(8)과 저항(9)의 타단은 다이오드(10, 11)의 타단에 공통으로 접속된다. 상술한 패널(1)의 패널 커패시터(40)와 충방전 회로(2)는 병렬 공진회로를 형성한다. 한편, 충방전 회로부(2)의 코일(8)에 병렬 접속되는 저항(9)은 파형의 진동을 방지하기 위해서 설치된 덤핑 저항이다.

<50> 전압 클램프부(3)는 제 1 내지 제 4 스위치들(4, 5, 6, 7)들로 구성되고, 이 중 제 1 및 제 3 스위치(4, 6)들은 패널 커패시터(40)의 일단과 전원 전압원들(GND, -VS) 사이에 각각 접속되고, 제 2 및 제 4 스위치(6, 7)들은 패널 커패시터(40)의 타단과 전원 전압원들(GND, -VS) 사이에 접속된다. 제 1 및 제 2 스위치들(4, 5)은 P채널 FET이고, 제 3 및 제 4 스위치들(6, 7)은 N채널 FET이고, 스위치들(4, 6)과 스위치들(5, 7) 각각은 CMOS형 회로 구성으로 형성된다.

<51> 이와 같은, 플라즈마 디스플레이 패널의 에너지 회수장치는 패널(1)의 패널 커패시터(40) 및 충방전 회로부(2)의 코일(8) 등으로 병렬 공진회로를 형성하고 각 스위치(4, 5, 6, 7) 각각의 구동에 의해 패널 커패시터(40)의 충방전을 반복하여 무효전력을 줄이게 된다.

<52> 도 5는 도 4에 도시된 패널의 구동전압 및 구동 전류파형의 파형도이다. 도 5를 참조하면, 파형들(IN1 내지 IN6)은 도 4에 도시된 FET 스위치들(12, 13)과 스위치들(4, 5, 6, 7)을 구동시키기 위한 입력파형이다. 파형(VCP)은 패널 커패시터(40)의 양단 전압파형이고, 파형(IL)은 코일(8)에 흐르는 전류파형이다.

- <53> 이를 상세히 하면, 먼저, A' 기간 이전인 t=0에서는 패널(1)의 패널 커패시터(40)에는 전하가 전혀 충전되어 있지 않다고 가정하여 동작과정을 상세히 설명하기로 한다.
- <54> A' 기간에서는 제 2 스위치(4) 및 제 4 스위치(7)가 턠-온되면, 도 6a에 도시된 바와 같이 기저전압원(GND)으로부터 제 1 스위치(4), 패널 커패시터(40), 제 4 스위치(7) 및 역전압원(-VS)으로 이어지는 전류패스가 형성된다. 이렇게 전류패스가 형성되면 패널 커패시터(40)에 전하가 충전된다.
- <55> B 기간에서는 스위치(12)가 턠-온되면, 도 6b에 도시된 바와 같이 패널 커패시터(40)의 일단, 코일(8), 다이오드(10), 스위치(12) 및 패널 커패시터(40)의 타단으로 이어지는 전류패스가 형성된다. 이렇게 전류패스가 형성되면 패널 커패시터(40)로부터의 방전전류가 코일(8)로 공급된다. 이 때, 코일(8)에는 역 기전력이 발생해 공진 전류(IL)가 흐르게 되므로 패널 커패시터(40)의 전류가 0(Zero)에 이르게 되면 패널 커패시터(40)에 인가되는 전압(VCP)은 최대의 역전압(-VS)이 된다.
- <56> C 기간에서는 패널 커패시터(40)에 최대의 역전압(-VS)이 인가되었을 때, 제 2 스위치(5) 및 제 3 스위치(6)가 턠-온됨으로써 도 6c에 도시된 바와 같이 기저전압원(GND), 제 2 스위치(5), 패널 커패시터(40), 제 3 스위치(6) 및 역전압원(-VS)으로 이어지는 전류패스가 형성된다. 이렇게 전류패스가 형성되면 패널 커패시터(40)의 제 3 스위치(6)의 일단은 역전압(-VS)에 클램프 된다. 이 때, 패널 커패시터(40)의 극성은 A' 기간에 역극성이 된다.
- <57> D 기간에서는 제 2 및 제 3 스위치(5, 6)가 턠-오프된 후 스위치(13)가 턠-온된다. 이로 인하여, D 기간에서는 도 6d에 도시된 바와 같이 패널 커패시터(40)의 타단, 스위치(13), 코일(8) 및 패널 커패시터(40)의 일단으로 이어지는 전류패스가 형성된다. 이

렇게 전류패스가 형성되면 패널 커패시터(40)에 저장된 전하는 코일(8)로 방전된다. 즉, B 기간과는 역방향 전류(IL)가 흐르게 된다. 한편, 패널 커패시터(40)의 전압(VCP)이 상승하여 0이 될 때 코일(8)에는 최대 전류가 흐르게 된다. 따라서, 패널 커패시터(40)는 역극성 전압이 재충전된다.

<58> A 기간에서는 코일(8)의 역기전력에 의해 패널 커패시터(40)에 역극성 전압의 재충전이 종료되면 스위치(13)가 턠-오프되고, 도 6e에 도시된 바와 같이 제 1 및 제 4 스위치(4, 7)가 턠-온된다. 이에 따라, 패널 커패시터(40)의 전하는 다음의 사이클까지 유지된다. 그런 다음에는 A'로부터 D기간까지 반복적으로 동작된다.

<59> 이와 같이, PDP의 에너지 회수장치는 패널 커패시터(40), 코일(8) 및 각 스위치의 타이밍을 제어한 공진 동작에 의해 패널 커패시터(40)의 충방전 전력을 감소시키고, 다음의 사이클까지의 사이에 이전 사이클의 무효전력의 대부분을 적으로 부풀으로 회수할 수 있게 된다.

<60> 그러나, 'NEC(USP-5670974)'에서 제안된 PDP의 에너지 회수장치는 플라즈마 디스플레이 패널(1)의 주사전극과 유지전극 각각에 에너지 회수장치와 서스테인 회로가 필요하여 회로구성이 복잡하게 된다. 이에 따라, 제조비용이 상승되는 문제점이 있다. 아울러, 'NEC(USP-5670974)'에서 제안된 PDP의 에너지 회수장치는 전류의 패스 상의 다수의 스위치들의 도통손실이 'Weber(USP-5081400)'에 의해 제안된 에너지 회수장치에 비하여 작으나 스위치의 스위칭들의 도통손실로 인하여 많은 소비전력이 소모되게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<61> 따라서, 본 발명의 목적은 스위치 소자에 의한 전류의 도통손실을 최소화시키고 회로구성을 간소화시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<62> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치는 플라즈마 디스플레이 패널과, 하나의 제 1 스위치 소자를 경유하여 상기 패널에 서스테인 전압을 공급하는 전원과, 상기 패널과의 공진에 의해 상기 패널에 저장된 에너지를 회수하고 회수된 에너지를 상기 패널에 공급하는 인덕터와, 상기 인덕터와 상기 패널 사이의 전류패스를 형성하기 위한 제 2 스위치 소자를 구비하는 것을 특징으로 한다.

<63> 상기 에너지 회수장치에서 상기 전원은 상기 패널을 제 1 극성의 서스테인 전압으로 충전시키는 제 1 전원과, 상기 패널을 제 1 극성과 다른 제 2 극성의 서스테인 전압으로 충전시키는 제 2 전원을 구비하는 것을 특징으로 한다.

<64> 상기 에너지 회수장치에서 상기 제 1 스위치 소자는 상기 제 1 전원과 상기 패널간의 전류패스를 형성하기 위한 제 1 스위치와, 상기 제 2 전원과 상기 패널간의 전류패스를 형성하기 위한 제 2 스위치를 구비하는 것을 특징으로 한다.

- <65> 상기 에너지 회수장치에서 상기 제 1 스위치는 상기 패널의 전압이 제 1 극성의 서스테인 전압으로 유지되는 기간에 상기 1 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.
- <66> 상기 에너지 회수장치에서 상기 제 2 스위치는 상기 패널의 전압이 제 2 극성의 서스테인 전압으로 유지되는 기간에 상기 2 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.
- <67> 상기 에너지 회수장치에서 상기 제 2 스위치 소자는 상기 인덕터와 상기 패널 사이에 병렬로 배치되는 제 3 및 제 4 스위치들과, 상기 제 3 스위치와 상기 패널 커패시터 사이에 접속되어 상기 패널 커패시터로부터의 역방향 전류를 차단하는 제 1 다이오드와, 상기 제 4 스위치와 상기 패널 커패시터 사이에 접속되어 상기 제 4 스위치로부터의 역방향 전류를 차단하는 제 2 다이오드를 구비하는 것을 특징으로 한다.
- <68> 상기 에너지 회수장치에서 상기 제 3 스위치는 상기 패널의 전압이 상기 제 2 극성의 서스테인 전압에서 상기 제 1 극성의 서스테인 전압으로 상승하는 기간에 상기 제 1 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.
- <69> 상기 에너지 회수장치에서 상기 제 4 스위치는 상기 패널의 전압이 상기 제 1 극성의 서스테인 전압에서 상기 제 2 극성의 서스테인 전압으로 하강되는 기간에 상기 제 2 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.

- <70> 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수방법은 플라즈마 디스플레이 패널의 에너지 회수방법에 있어서, 하나의 스위치 소자를 경유하여 전원으로부터의 전압을 상기 패널에 충전시키기 제 1 단계와, 상기 패널과의 공진에 의해 상기 패널에 저장된 에너지를 회수하고 회수된 에너지를 상기 패널에 공급하는 제 2 단계를 포함하는 것을 특징으로 한다.
- <71> 상기 에너지 회수방법에서 상기 제 1 단계는 제 1 전원으로부터 공급되는 제 1 극성의 서스테인 전압을 상기 패널에 충전시키는 단계와, 제 2 전원으로부터 공급되는 제 1 극성과 다른 제 2 극성의 서스테인 전압을 상기 패널에 충전시키는 단계를 포함하는 것을 특징을 한다.
- <72> 상기 에너지 회수방법에서 상기 제 1 단계는 제 1 스위치를 이용하여 상기 제 1 전원과 상기 패널간의 전류패스를 형성하는 단계와, 제 2 스위치를 이용하여 상기 제 2 전원과 상기 패널간의 전류패스를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <73> 상기 에너지 회수방법에서 상기 제 1 스위치는 상기 패널의 전압이 제 1 극성의 서스테인 전압으로 유지되는 기간에 상기 1 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.
- <74> 상기 에너지 회수방법에서 상기 제 2 스위치는 상기 패널의 전압이 제 2 극성의 서스테인 전압으로 유지되는 기간에 상기 2 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.
- <75> 상기 에너지 회수방법에서 상기 제 2 단계는 제 3 스위치를 이용하여 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 단계와, 상기 제 3 스위치와 상기 패널 사이

에 접속된 제 1 다이오드를 이용하여 상기 패널로부터의 역방향 전류를 차단하는 단계와, 상기 제 3 스위치와 병렬 접속되는 제 4 스위치를 이용하여 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 단계와, 상기 제 4 스위치와 상기 패널 사이에 접속된 제 1 다이오드를 이용하여 상기 제 4 스위치로부터의 역방향 전류를 차단하는 단계를 포함하는 것을 특징으로 한다.

<76> 상기 에너지 회수방법에서 상기 제 3 스위치는 상기 패널의 전압이 상기 제 2 극성의 서스테인 전압에서 상기 제 1 극성의 서스테인 전압으로 상승하는 기간에 상기 제 1 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.

<77> 상기 에너지 회수방법에서 상기 제 4 스위치는 상기 패널의 전압이 상기 제 1 극성의 서스테인 전압에서 상기 제 2 극성의 서스테인 전압으로 하강되는 기간에 상기 제 2 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 한다.

<78> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<79> 이하, 도 7 내지 도 12를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<80> 도 7을 참조하면, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)의 에너지 회수장치는 PDP의 제 1 및 제 2 전극에 등가적으로 형성되는 패널 커패시터(Cp)와, 제 1 극성의 전압(+VS)을 발생하는 제 1 서스

테인 전압원(+VS)과, 제 1 극성과 다른 제 2 극성의 전압(-VS)을 발생하는 제 2 서스테인 전압원(-VS)과, 제 1 서스테인 전압원(+VS)과 패널 커패시터(Cp)의 일단, 즉 제 1 전극 사이에 접속된 제 1 스위치(Q1)와, 제 2 서스테인 전압원(-VS)과 제 1 전극 사이에 접속된 제 2 스위치(Q2)와, 제 1 및 제 2 스위치(Q1, Q2) 사이인 제 1 노드점(N1)과 제 1 및 제 2 전압원(+VS, -VS) 사이의 제 2 노드점(N2) 사이에 접속된 인덕터(L)와, 인덕터(L)와 제 1 노드점(N1) 사이에 병렬 접속된 제 3 및 제 4 스위치들(Q3, Q4)을 구비한다.

<81>        제 1 서스테인 전압원(+VS)은 패널 커패시터(Cp)에 공급되는 정극성 서스테인 전압(+VS)을 발생한다. 제 2 서스테인 전압원(-VS)은 패널 커패시터(Cp)에 공급되는 부극성 서스테인 전압(-VS)을 발생한다.

<82>        제 1 및 제 2 스위치(Q1, Q2) 각각은 패널 커패시터(Cp)의 일단, 즉 제 1 노드점(제 1 전극)에 병렬 접속된다. 제 3 및 제 4 스위치(Q3, Q4) 각각은 인덕터(L)와 제 1 노드점(N1) 사이에 서로 다른 방향으로 병렬 접속된다. 인덕터(L)는 제 3 및 제 4 스위치들(Q3, Q4)을 통해 패널 커패시터(Cp)에 접속되어 패널 커패시터(Cp)와의 LC 자연공진에 의해 에너지를 회수하고 회수된 에너지를 다시 패널 커패시터(Cp)에 공급하게 된다.

<83>        이러한, 제 1 내지 제 4 스위치(Q1 내지 Q4)들은 순차적으로 턠-온되면서 전류의 흐름을 제어한다. 이와 같은 제 1 내지 제 4 스위치(Q1 내지 Q4)들에 각각에는 다이오드가 병렬로 접속된다. 다이오드들은 제 1 내지 제 4 스위치(Q1 내지 Q4)의 내부 다이오드들로 이용될 수 있다. 또한, 다이오드들은 외부 다이오드들로 이용될 수 있다. 한편, 제 1 내지 제 4 스위치(Q1 내지 Q4) 각각은 반도체 스위치 소자 예를 들면, MOSFET, IGBT, SCR, BJT 중 어느 하나가 사용된다.

<84> 한편, 제 3 스위치(S3)와 제 1 노드점(N1) 사이에는 패널 커패시터(Cp)로부터의 역 방향 전류를 차단하기 위한 제 1 다이오드(D2)가 접속되고, 제 4 스위치(A4)와 제 1 노드점(N1) 사이에는 제 4 스위치(Q4)로부터의 역방향 전류를 차단하기 위한 제 2 다이오드(D2)가 접속된다.

<85> 도 8은 도 7에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터에 인가되는 전압을 나타내는 타이밍도 및 파형도이다.

<86> 도 8을 참조하면, 본 발명의 실시 예에 따른 PDP의 에너지 회수장치와 회수방법을 설명하면 다음과 같다.

<87> T0 기간에서는 제 1 내지 제 4 스위치(Q1 내지 Q4) 중 제 1 스위치(Q1) 만이 턠-온 됨으로써 도 9에 도시된 바와 같이 제 1 서스테인 전압원(+VS), 제 1 스위치(Q1), 제 1 노드점(N1), 패널 커패시터(Cp), 제 2 노드점(N2) 및 제 1 서스테인 전압원(+VS)으로 이어지는 전류패스가 형성된다. 이에 따라, 패널 커패시터(Cp)는 제 1 서스테인 전압원(+VS)으로부터 공급되는 서스테인 전압(+VS)을 충전하게 된다. 이로 인하여, 패널 커패시터(Cp)는 정극성 서스테인 전압(+VS)을 유지하게 된다.

<88> T1 기간에서는 제 1 스위치(Q1)가 턠-오프되고 제 4 스위치(Q4) 만이 턠-온됨으로써 도 10에 도시된 바와 같이 패널 커패시터(Cp), 제 1 노드점(N1), 제 2 다이오드(D2), 제 4 스위치(Q4), 인덕터(L) 및 패널 커패시터(Cp)로 이어지는 전류패스가 형성된다. 이에 따라, 인덕터(L)는 패널 커패시터(Cp)와의 LC 자연공진에 의해 패널 커패시터(Cp)에 충전된 에너지를 회수하여 다시 패널 커패시터(Cp)에 공급하게 된다. 이로 인하여, 패널 커패시터(Cp)의 전압은 정극성 서스테인 전압(+VS)에서 부극성 서스테인 전압(-VS)으로 하강하게 된다.

<89> T2 기간에서는 제 4 스위치(Q4)가 턴-오프되고 제 2 스위치(Q2) 만이 턴-온됨으로 써 도 11에 도시된 바와 같이 제 2 서스테인 전압원(-VS), 제 2 노드점(N2), 패널 커패시터(Cp), 제 1 노드점(N1), 제 2 스위치(Q2) 및 제 2 서스테인 전압원(-VS)으로 이어지는 전류패스가 형성된다. 이에 따라, 패널 커패시터(Cp)는 제 2 서스테인 전압원(-VS)으로부터 부극성 서스테인 전압(-VS)을 공급받아 부극성 서스테인 전압(-VS)을 유지하게 된다.

<90> T3 기간에서는 제 2 스위치(Q2)가 턴-오프되고 제 3 스위치(Q3) 만이 턴-오프됨으로써 도 12에 도시된 바와 같이 패널 커패시터(Cp), 제 2 노드점(N2), 인덕터(L), 제 3 스위치(Q3), 제 1 다이오드(D1), 제 1 노드점(N1) 및 패널 커패시터(Cp)로 이어지는 전류패스가 형성된다. 이에 따라, 인덕터(L)는 패널 커패시터(Cp)와의 LC 자연공진에 의해 패널 커패시터(Cp)에 충전된 에너지를 회수하여 다시 패널 커패시터(Cp)에 공급하게 된다. 이로 인하여, 패널 커패시터(Cp)의 전압은 부극성 서스테인 전압(-VS)에서 정극성 서스테인 전압(+VS)으로 상승하게 된다.

<91> 이와 같은, T1 내지 T3 기간이 주기적으로 반복됨으로써 패널 커패시터(Cp)에는 교류 서스테인 펠스(VCP)가 공급된다. 실제로, 플라즈마 디스플레이 패널의 제 1 전극(Y) 및 제 2 전극(Z)에 공급되는 교류 구동펠스(VCP)는 상술한 T1 내지 T3 기간이 주기적으로 반복되면서 발생하게 된다.

<92> 이러한, 본 발명의 실시 예에 PDP의 에너지 회수장치와 회수방법은 인덕터(L)와 패널 커패시터(Cp)의 LC 자연공진을 이용하여 패널 커패시터(Cp)에 에너지를 회수하고 다시 패널 커패시터(Cp)에 공급하게 된다. 이에 따라, 본 발명의 실시 예에 따른 PDP의 에너지 회수장치와 회수방법은 제 1 전극(Y) 및 제 2 전극(Z) 간, 즉 패널 커패시터의

에너지 회수 전류패스 상에 하나의 인덕터 및 하나의 스위치 소자만을 배치하여 반도체 소자의 도통손실과 스위칭손실을 최소화 할 수 있다. 따라서, 본 발명의 실시 예에 따른 PDP의 에너지 회수장치와 회수방법은 에너지 회수회로의 손실을 최소화 할 수 있다.

### 【발명의 효과】

- <93> 상술한 바와 같이, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치와 회수방법은 서스테인 전압이 패널 커패시터에 공급되는 중에 인덕터에 에너지를 충전시키고, 에너지 회수시 역전압을 이용하여 패널 커패시터에 충전된 에너지를 회수함과 동시에 공급하게 된다. 이에 따라, 에너지 회수시 서스테인 파형의 상승 및 하강기울기를 빠르게 할 수 있다.
- <94> 또한, 본 발명은 에너지 회수장치를 플라즈마 디스플레이 패널의 제 1 및 제 2 전극들 중 어느 한쪽에만 구성할 수 있는 장점이 있으며, 서스테인 전류 패스 상에 스위치 소자가 하나만이 존재함으로써 스위치 소자에 의해 도통손실을 최소화할 수 있다. 한편, 본 발명은 4개의 스위치소자와 2개의 다이오드를 사용하게 되므로 소비전력을 감소시킬 수 있다.
- <95> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여 죄야만 할 것이다.

**【특허청구범위】****【청구항 1】**

플라즈마 디스플레이 패널과,

하나의 제 1 스위치 소자를 경유하여 상기 패널에 서스테인 전압을 공급하는 전원  
과,

상기 패널과의 공간에 의해 상기 패널에 저장된 에너지를 회수하고 회수된 에너지  
를 상기 패널에 공급하는 인덕터와,

상기 인덕터와 상기 패널 사이의 전류패스를 형성하기 위한 제 2 스위치 소자를 구  
비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

**【청구항 2】**

제 1 항에 있어서,

상기 전원은,

상기 패널을 제 1 극성의 서스테인 전압으로 충전시키는 제 1 전원과,

상기 패널을 제 1 극성과 다른 제 2 극성의 서스테인 전압으로 충전시키는 제 2 전  
원을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

**【청구항 3】**

제 2 항에 있어서,

상기 제 1 스위치 소자는,

상기 제 1 전원과 상기 패널간의 전류패스를 형성하기 위한 제 1 스위치와,

상기 제 2 전원과 상기 패널간의 전류패스를 형성하기 위한 제 2 스위치를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 4】

제 3 항에 있어서,

상기 제 1 스위치는 상기 패널의 전압이 제 1 극성의 서스테인 전압으로 유지되는 기간에 상기 1 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 5】

제 3 항에 있어서,

상기 제 2 스위치는 상기 패널의 전압이 제 2 극성의 서스테인 전압으로 유지되는 기간에 상기 2 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 6】

제 1 항에 있어서,

상기 제 2 스위치 소자는,

상기 인덕터와 상기 패널 사이에 병렬로 배치되는 제 3 및 제 4 스위치들과, 상기 제 3 스위치와 상기 패널 커패시터 사이에 접속되어 상기 패널 커패시터로부터의 역방향 전류를 차단하는 제 1 다이오드와,

상기 제 4 스위치와 상기 패널 커패시터 사이에 접속되어 상기 제 4 스위치로부터의 역방향 전류를 차단하는 제 2 다이오드를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 7】

제 6 항에 있어서,

상기 제 3 스위치는 상기 패널의 전압이 상기 제 2 극성의 서스테인 전압에서 상기 제 1 극성의 서스테인 전압으로 상승하는 기간에 상기 제 1 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 8】

제 6 항에 있어서,

상기 제 4 스위치는 상기 패널의 전압이 상기 제 1 극성의 서스테인 전압에서 상기 제 2 극성의 서스테인 전압으로 하강되는 기간에 상기 제 2 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

#### 【청구항 9】

플라즈마 디스플레이 패널의 에너지 회수방법에 있어서,

하나의 스위치 소자를 경유하여 전원으로부터의 전압을 상기 패널에 충전시키기 제 1 단계와,

상기 패널과의 공진에 의해 상기 패널에 저장된 에너지를 회수하고 회수된 에너지를 상기 패널에 공급하는 제 2 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

#### 【청구항 10】

제 9 항에 있어서,

상기 제 1 단계는,

제 1 전원으로부터 공급되는 제 1 극성의 서스테인 전압을 상기 패널에 충전시키는 단계와,

제 2 전원으로부터 공급되는 제 1 극성과 다른 제 2 극성의 서스테인 전압을 상기 패널에 충전시키는 단계를 포함하는 것을 특징을 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

#### 【청구항 11】

제 10 항에 있어서,

상기 제 1 단계는,

제 1 스위치를 이용하여 상기 제 1 전원과 상기 패널간의 전류패스를 형성하는 단계와,

제 2 스위치를 이용하여 상기 제 2 전원과 상기 패널간의 전류패스를 형성하는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

#### 【청구항 12】

제 11 항에 있어서,

상기 제 1 스위치는 상기 패널의 전압이 제 1 극성의 서스테인 전압으로 유지되는 기간에 상기 1 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【청구항 13】

제 11 항에 있어서,

상기 제 2 스위치는 상기 패널의 전압이 제 2 극성의 서스테인 전압으로 유지되는 기간에 상기 2 전원과 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【청구항 14】

제 9 항에 있어서,

상기 제 2 단계는,

제 3 스위치를 이용하여 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 단계와,

상기 제 3 스위치와 상기 패널 사이에 접속된 제 1 다이오드를 이용하여 상기 패널로부터의 역방향 전류를 차단하는 단계와,

상기 제 3 스위치와 병렬 접속되는 제 4 스위치를 이용하여 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 단계와,

상기 제 4 스위치와 상기 패널 사이에 접속된 제 1 다이오드를 이용하여 상기 제 4 스위치로부터의 역방향 전류를 차단하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

**【청구항 15】**

제 14 항에 있어서,

상기 제 3 스위치는 상기 패널의 전압이 상기 제 2 극성의 서스테인 전압에서 상기 제 1 극성의 서스테인 전압으로 상승하는 기간에 상기 제 1 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

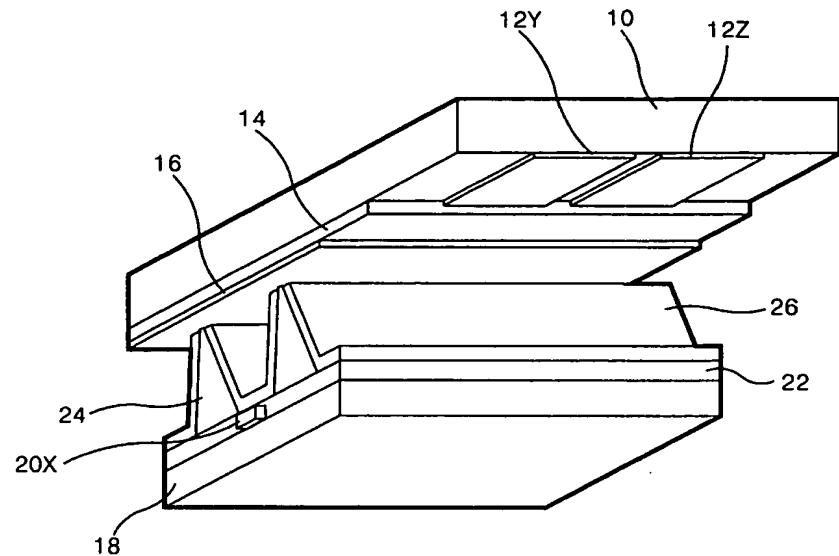
**【청구항 16】**

제 14 항에 있어서,

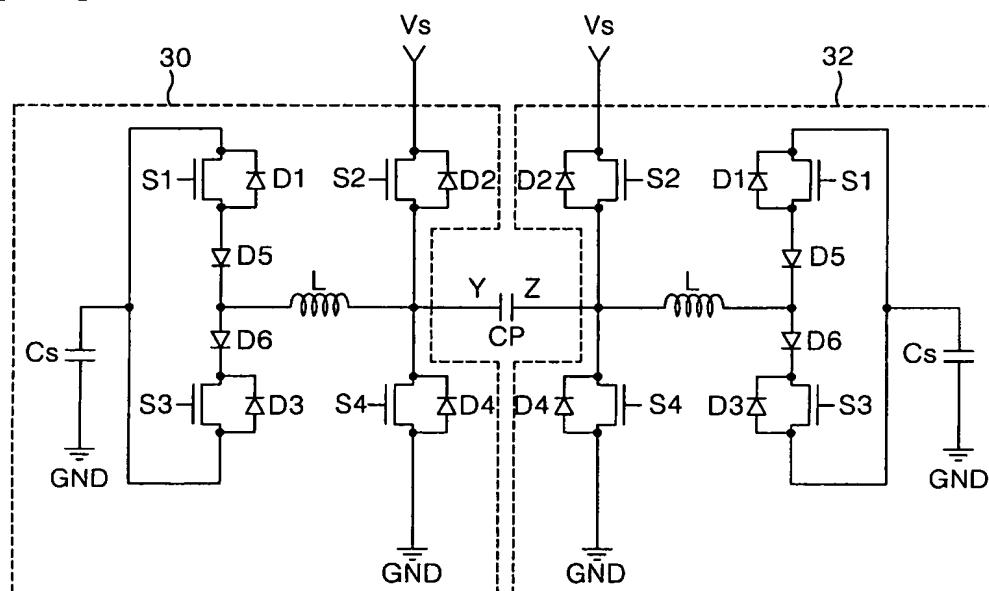
상기 제 4 스위치는 상기 패널의 전압이 상기 제 1 극성의 서스테인 전압에서 상기 제 2 극성의 서스테인 전압으로 하강되는 기간에 상기 제 2 다이오드를 경유하는 상기 인덕터와 상기 패널 사이의 전류패스를 형성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

## 【도면】

【도 1】



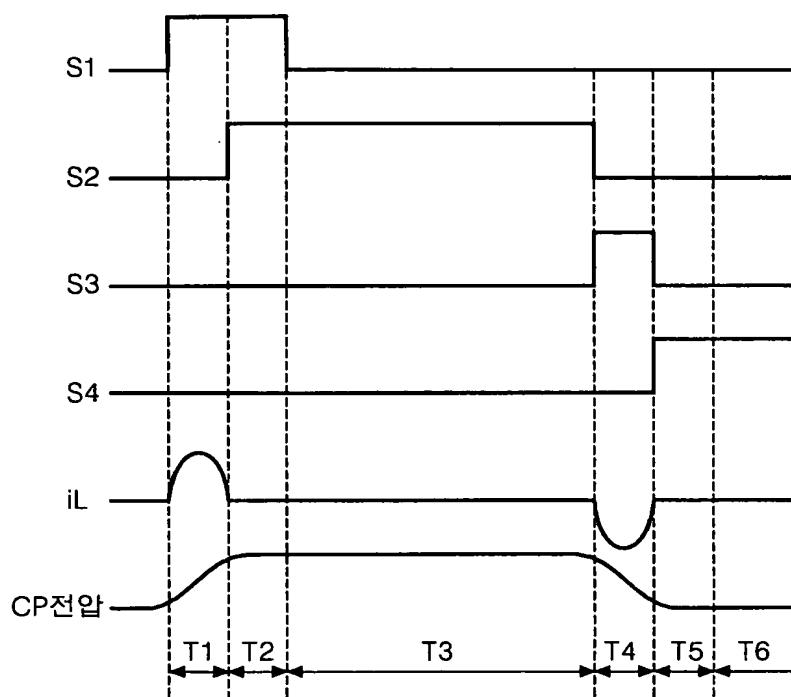
【도 2】



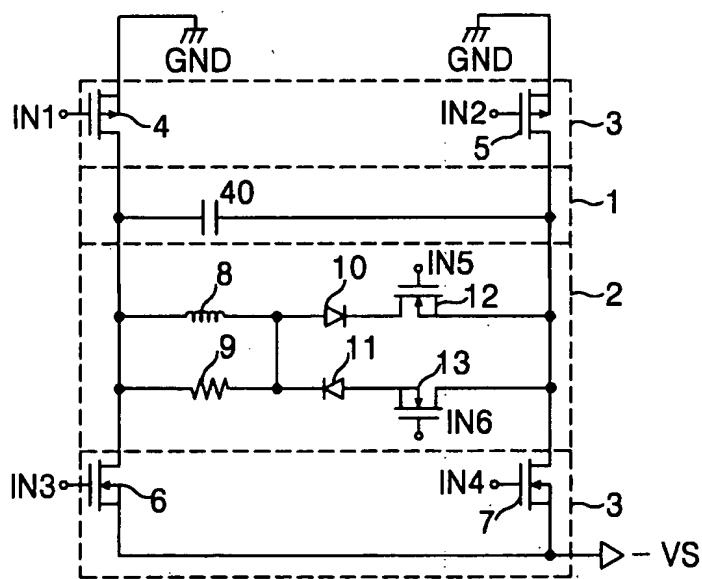
1020030023989

출력 일자: 2003/7/11

【도 3】



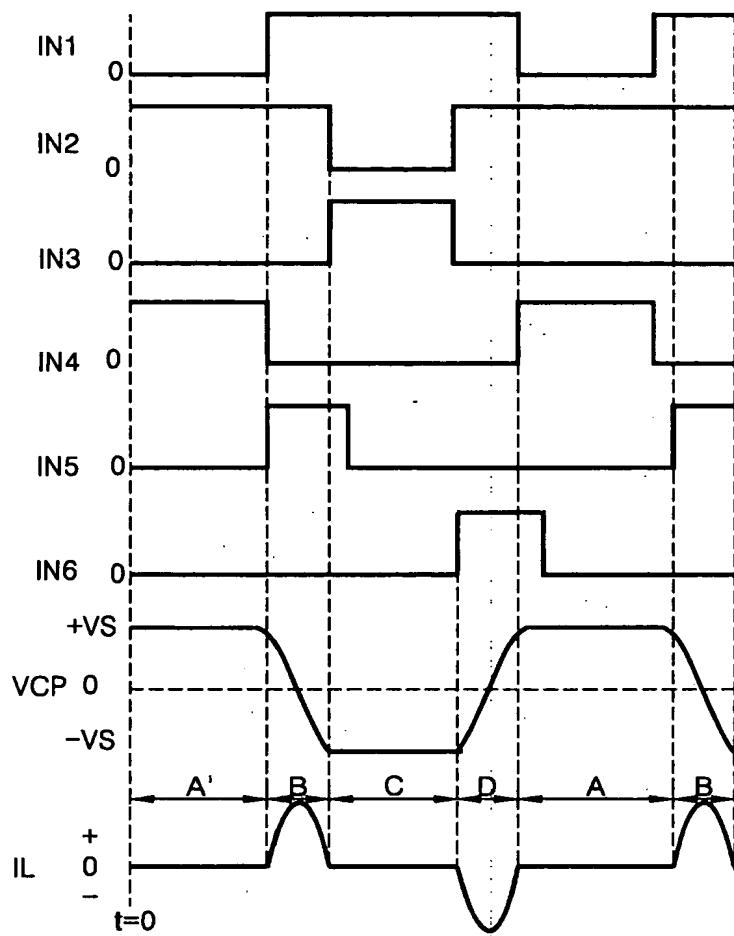
【도 4】



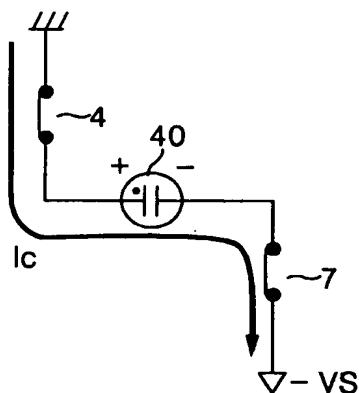
1020030023989

출력 일자: 2003/7/11

【도 5】



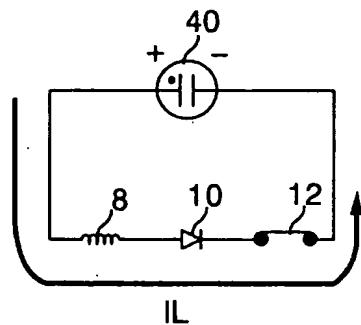
【도 6a】



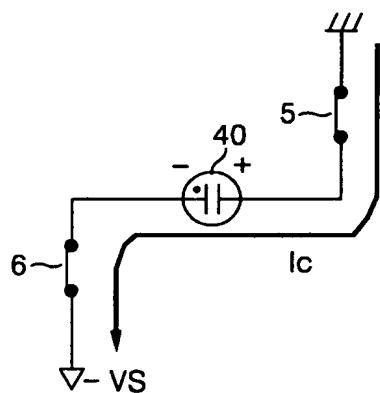
1020030023989

출력 일자: 2003/7/11

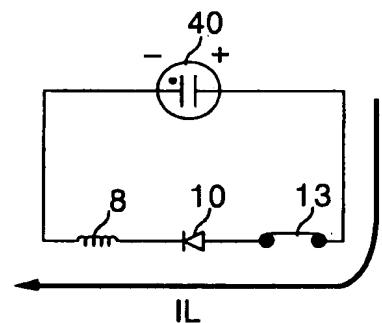
【도 6b】



【도 6c】



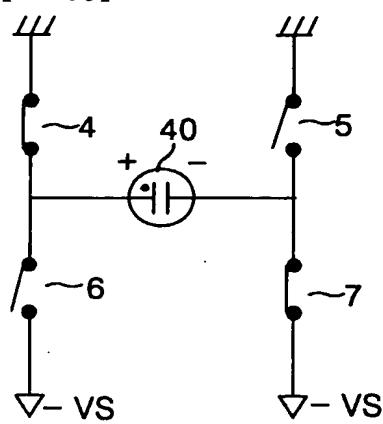
【도 6d】



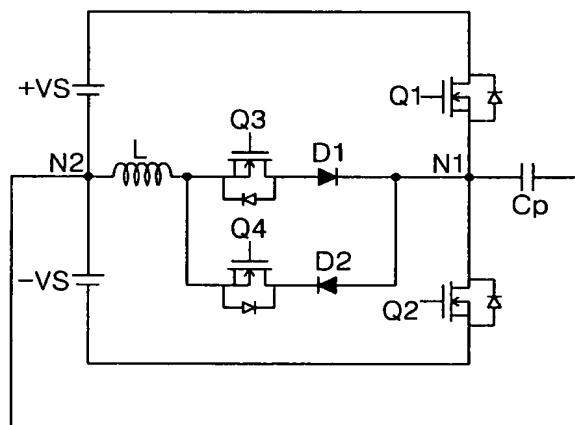
1020030023989

출력 일자: 2003/7/11

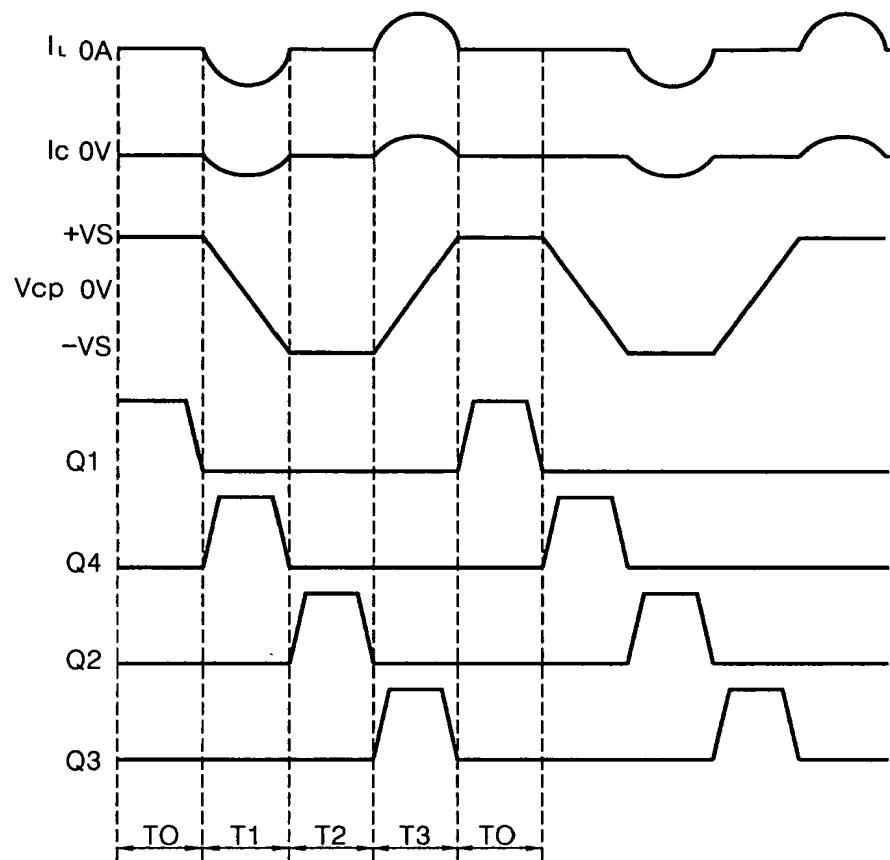
【도 6e】



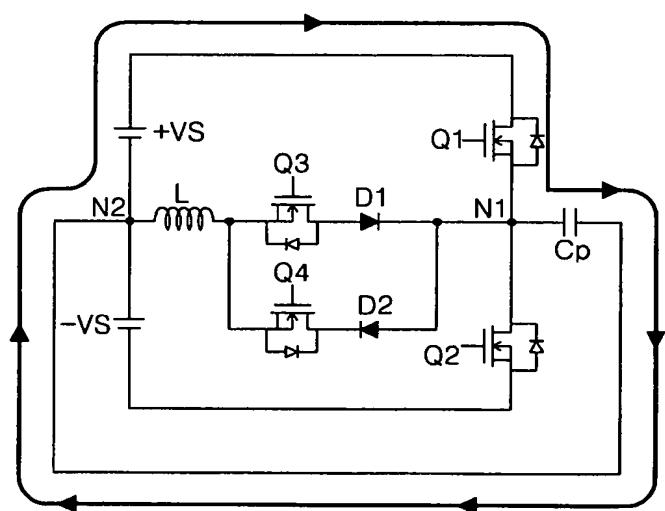
【도 7】



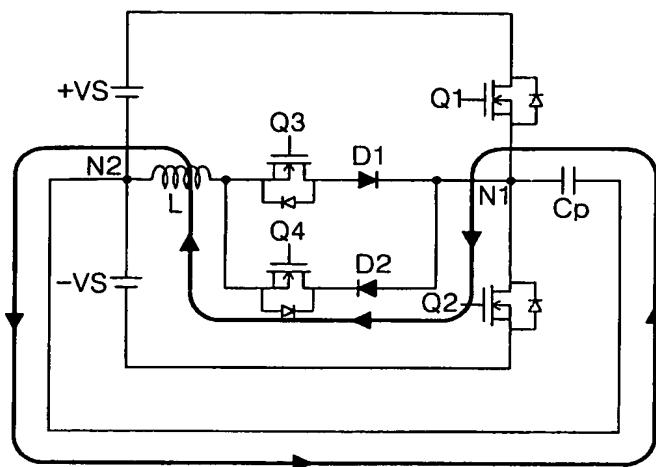
【도 8】



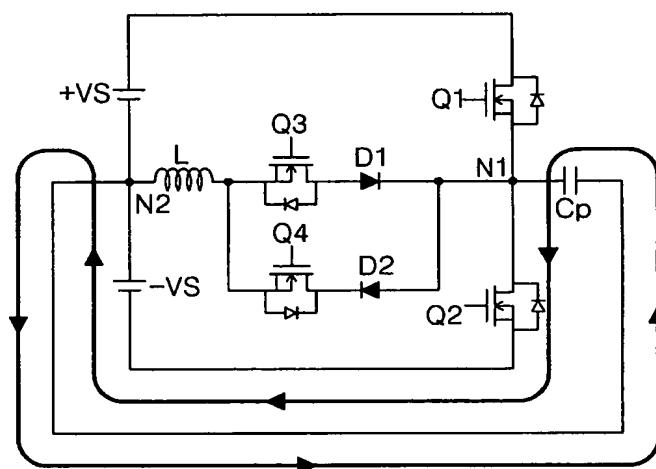
【도 9】



【도 10】



### 【도 11】



【도 12】

